

1. 実用的な副周波数標準器

GPS 受信機の 1PPS 出力は、utc に対して $1\mu s$ の絶対時刻精度があります。隣り合った 1PPS のパルス間は $100ns$ の相対時間精度があるとされています。

この高精度の時刻パルス列で生成する $1s$ の時刻標準は 1×10^{-7} の精度があり、これをゲート時間として高精度周波数カウンタを構成することができます。仮に測定対象周波数を $10MHz$ とすると、 $\pm 1 \times 10^{-13}$ 程度の測定確度が得られます。現在手軽に入手できる GPS の utc 時刻基準を使うことによって、従来の自家周波数基準による周波数カウンタと比べると飛躍的に精度が上がります。

以上の要領で周波数カウンタが容易に高性能化できたことに満足せずに、これを GPSDO(GPS Disciplined Oscillator) に発展させようとする試みが本稿です。

実験室や高性能通信システムでは 1×10^{-10} などという超高精度な周波数安定度を必要とする場合は稀で、一般には 1×10^{-7} 程度の短期・長期安定度が求められます。もちろん高性能であるに越したことはないのですが、安定度そのものよりもリアルタイムに正確な周波数がかかることの方が実用上は重要です。例えば、 10^{-13} であってもそれが来週分かるのでは、現場で使えません。今行っている動作が何 MHz のことなのか、リアルタイムの確認が切望されます。この要求に応える周波数発生器を考えます。

各種測定器の外部基準入力端子の規格等を総合的にみて、副標準周波数としては $10MHz$ が一般的です。さらに、Kennwood 製トランシーバの利用を考慮して $10MHz$ および $20MHz$ の 2 出力を用意します。

2. FLL 周波数負帰還と PLL の差異

周波数負帰還は FLL(Frequency Locked Loop) と同義で、基準値との周波数偏差を負帰還要素とする周波数安定化ループ回路です。同様の目的で一般に使われる PLL(Phase Locked Loop) が基準値との位相差をアナログ負帰還要素として構成されているのと異なり、 $\pm 1Hz$ の範囲のデジタル的差異は許容します。これは PLL から見ると 2π ラジアンに相当するラフな許容値ですが、それ以上の周波数偏差に対してはシビアに管理します。

FLL における周波数負帰還の動作を図 1 と図 2 で見ましょう。

図 1 に示した周波数カウンタ初段は、一般の周波数カウンタのそれと全く同じです。この出力 BCD 符号は最小桁つまり Hz 単位のカウント結果です。7 セグメント表示器をドライブしていますが、この BCD データを借用してデコード回路を経て周波数制御信号に変換し、最終的に水晶発振器の可変容量素子をドライブして周波数更正を行います。

デコードの様子は図 2 に示しました。カウンタの初段が $0Hz$ を示す時 (BCD 信号が 0000) である場合にはデコーダは非アクティブとなり、周波数制御は働きませんので水晶発振周波数はフリーラン状態となります。この状態は周波数安定が保たれており好ましい状態です。一方水晶発振周波数が低下し BCD 信号が 6~9 となると、P 端子がアクティブになり水晶発振周波数を上昇させる方向でドライブします。他方水晶発振周波数が上昇し BCD 信号が 1~5 となると、NotN 端子がアクティブとなり水晶発振周波数を逆に低下させます。

このように、周波数負帰還の動作は単純です。更正は 2 秒に 1 度の頻度で間欠的ですから、あたかも人手で発振周波数を微調整する感じでリアルタイムに周波数を安定化します。周波数偏差がない場合は水晶発振回路になんらの制御もしませんので、信号に不要なジッタ

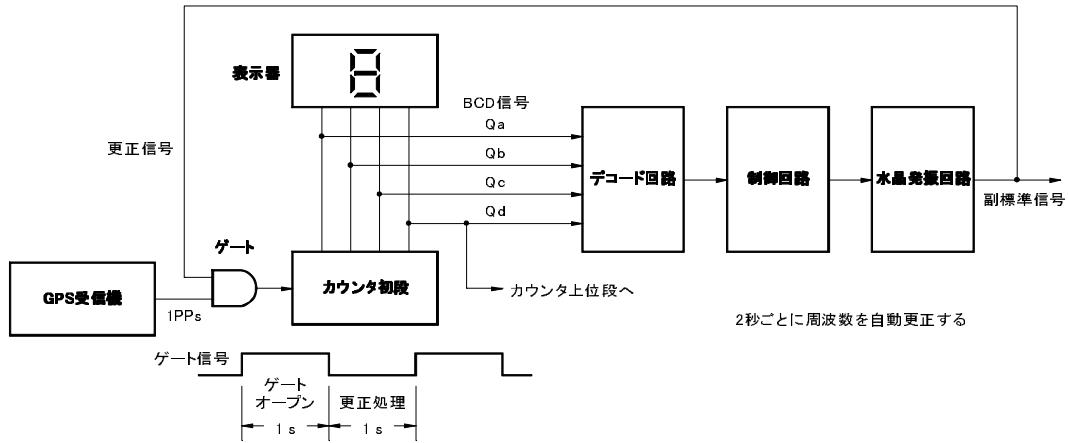


図 1: カウンタを利用する GPSDO の構成

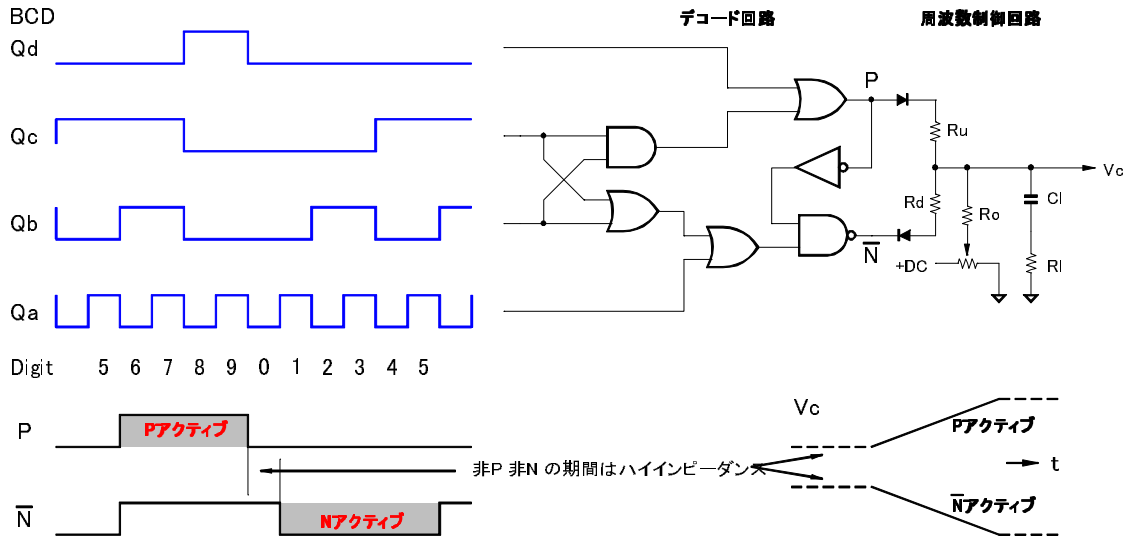


図 2: FLL における周波数負帰還の機能

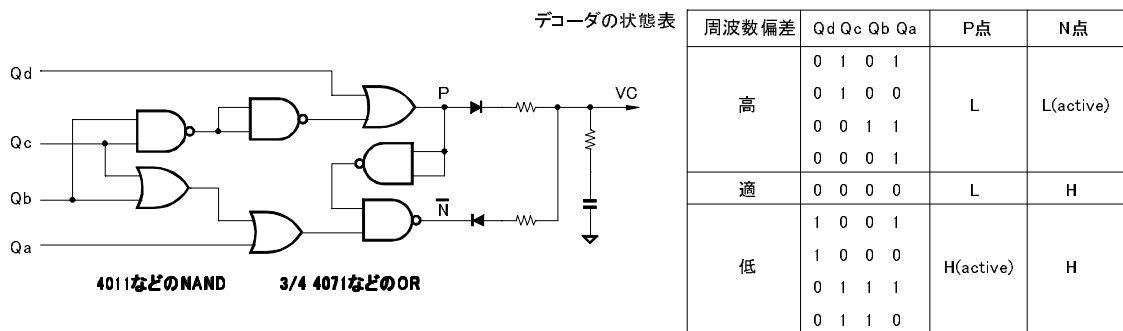


図 3: 標準ロジック IC だけによるデコーダ

や位相ノイズを生じる原因がなく信号純度が確保できることが期待できます。

PLL 方式において常時水晶発振器をアナログ制御することが、位相ノイズの生じる原因になっています。この点では FLL 方式が優位です。また、GPS の 1PPS パルスを直接使う PLL では位相検出に長時間を要し、リアルタイムに副周波数標準を使いたいという要求が叶えられません。FLL では絶えずリアルタイムの高精度周波数を発生します。

3. 実用回路の設計

FLL 回路は標準ロジック IC で組んでも、PIC などの小規模 MPU でソフトウェアで動作させても、どちらも簡単な回路で実現できます。

動作原理に忠実に従った標準ロジックだけの回路を図 3 に示します。

実装の小型化という面からは、PIC などを積極的に利用した方がスマートです。図 5(5p) に GPS 基準による高精度水晶発振器を PIC プログラムで作成した総合回路図を示します。この構成では、次の機能があります。

- GPS の utc 時刻による正確な 1s ゲート時間
第 1 項での説明のとおりです。
- GPS 受信不能時の GPS 時刻による動作
GPS 受信機は GPS 信号が受信できない時にも GPS 内蔵の時計による 1PPS 信号および過去の測位データを出力します。この GPS 時計により、精度は劣りますが GPSDO は通常と同じく周波数更正を行います。
- GPS データが不正確な場合の警告表示
PIC ソフトウェアが GPS データを解読し、GPS が正確な信頼できないデータを送り出している時には警告 LED を点灯します。
- 周波数偏差の大きさに対応して動作する周波数更正
前項の標準ロジック IC によるデコーダでは、周波数偏差がプラス/マイナス/ゼロの 3 段階の偏差に対応した抵抗値をとり制御電圧 V_c への充放電時定数を定めていました。PIC によるこの回路では $5 \sim 4/3 \sim 1/0/8 \sim 9/6 \sim 7$ の 5 段階に応じて制御抵抗値を換えて V_c をより柔軟に制御することにしています。周波数制御と収斂の様子は図 4 でご覧ください。

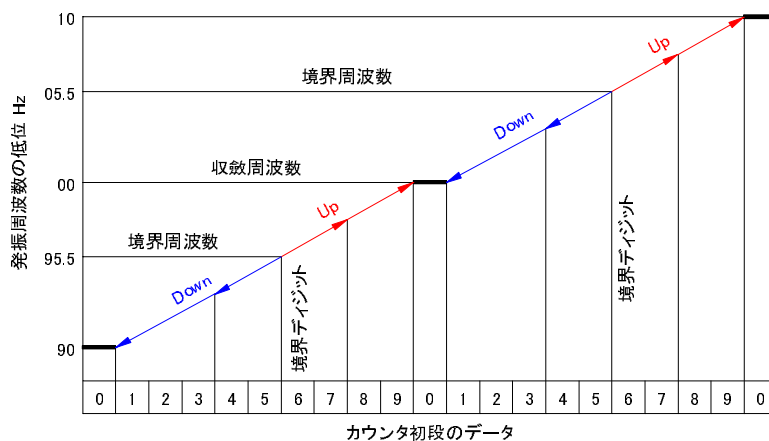


図 4: FLL が 0Hz に収斂する様子

- 8桁周波数カウンタ

ゲート時間が固定である以外は普通のカウンタです。

4. GPSDO の調整の要点

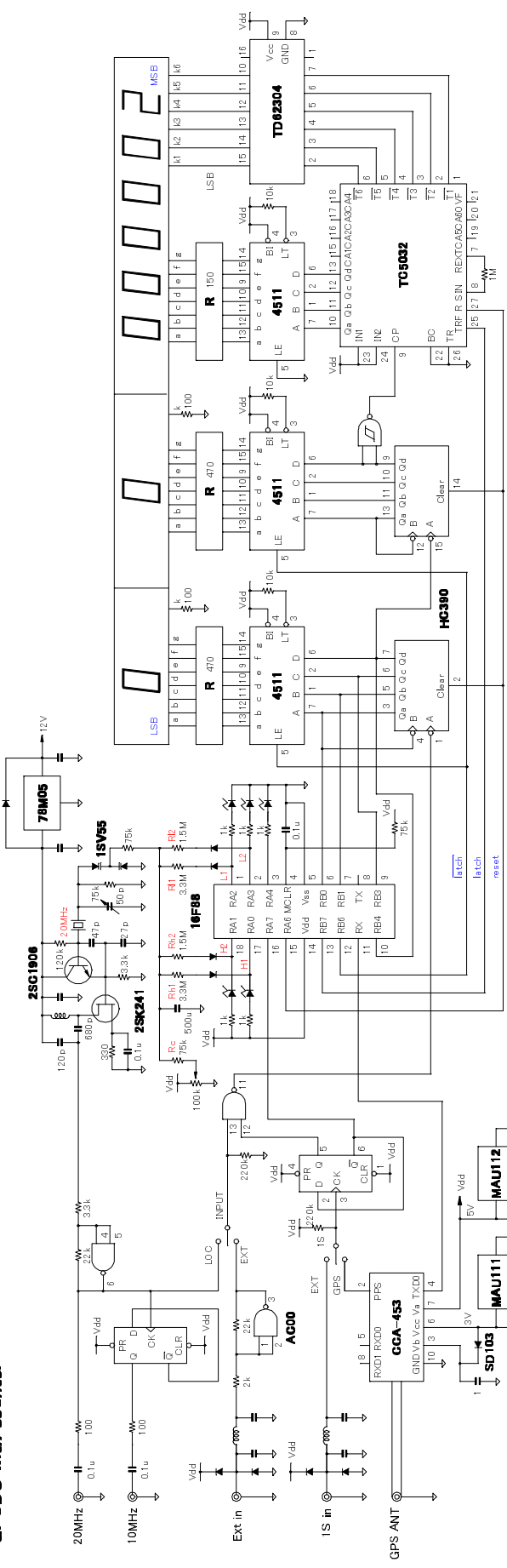
PLL では安定動作を維持するためにループフィルタの設計が大事です。FLL でもこの点は同じなのですが、2秒ごとに制御するので調整者が状態表示 LED や 7セグメント表示器を目視してフィルタの定数を調整するという方法で十分です。フィルタを構成している図 5 中の R_c 、 R_{h1} 、 R_{h2} 、 R_{l1} 、 R_{l2} を対象とします。水晶発振子に対する可変キャパシタの値と制御電圧 V_c 、発振回路のキャパシタの値など周波数を決定する要素が数多くありますが、ここでは一応それらが適切なものと仮定しておき、周波数を収斂させる部分に限って説明します。

まず、 $V_c = V_{dd}/2$ 、つまり 2.5V 程度にした場合にカウンタの読みが $20000000Hz$ となるように、発振回路の定数を決めます。もちろんこのままでは長時間安定度は十分ではないはずで、数 Hz ~ 数十 Hz は変動するでしょう。これを FLL で抑えるのです。

7セグメント LED または L_1 、 L_2 、 H_1 、 H_2 のモニタ LED を見ながら周波数の変動方向を観察します。そして、アクティブな端子の抵抗値を増減して 2 秒の更正サイクルで上手く $0Hz$ へ向けて収斂するような適当な値が得られれば完成です。その選択によって適正動作となれば偏差が $0 \pm 1Hz$ に納まることになるでしょう。

改訂履歴 2011.06.22

改訂履歴 2011.06.27



フルデコーダの状態表

周波数	BCD	条件	アクティブ
高	0101	b=0 c=1	Hc
	0100		
	0011	b=1 c=0	Hf
中	0010	a=1 b=c=d=0	
	0001		
	0000		
低	1001	d=1	L1
	1000		
	0111	b=c=1	L2

図5: GPSDOおよび8桁カウンタの総合回路図